

FLOATING POINT DATA PROCESSOR

Patent Number: JP60027937
Publication date: 1985-02-13
Inventor(s): NAKAJIYOU HISAO
Applicant(s):: TOSHIBA KK
Requested Patent: JP60027937
Application Number: JP19830136959 19830727
Priority Number(s):
IPC Classification: G06F7/00
EC Classification:
Equivalents:

**Abstract**

PURPOSE: To speed up processing by setting floating point data to absolute zero forcibly if the data is nonnormalized data before use when the data is read out of a memory for processing.

CONSTITUTION: Data read out of the memory is held in a data register 10. The most significant digit bit of the mantissa part of this fetched data is checked by a zero detector 11, which outputs logic 1 when this part is zero or logic 0 when not. When the output of an AND circuit 12 is logic 1, the output of a gate circuit 13 is all logic 0 and set to absolute 0 forcibly when the data is fetched for processing. Consequently, a check on whether the mantissa part of floating point data is normalized or not is omitted.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報 (A)

昭60-27937

⑪ Int. Cl.⁴
G 06 F 7/00識別記号
1 0 1庁内整理番号
7313-5 B

⑬ 公開 昭和60年(1985)2月13日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 浮動小数点データ処理装置

東京芝浦電気株式会社青梅工場
内

⑮ 特 願 昭58-136959

⑯ 出 願 人 株式会社東芝

⑰ 出 願 昭58(1983)7月27日

川崎市幸区堀川町72番地

⑱ 発 明 者 中条久夫

⑲ 代 理 人 弁理士 鈴江武彦 外 2 名

青梅市末広町2丁目9番地の1

明 細 書

1. 発明の名称

浮動小数点データ処理装置

2. 特許請求の範囲

主記憶装置に記憶された浮動小数点データ形式のデータを脱出して演算処理を行なうものにおいて、主記憶装置から脱出されたデータを保持するデータレジスタと、該データレジスタに保持された内容のうち、仮数部の最上位4ビットあるいは最上位ビットのチェックを行ない、上記データが非正規化データであるか否かを検証する手段と、該検証手段が非正規化データであることを示しているとき上記データレジスタの出力を全て"0"に強制する手段とを具備することを特徴とする浮動小数点データ処理装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は処理の高速化をはかった浮動小数点データ処理装置に関する。

〔発明の技術的背景とその問題点〕

科学技術計算に於ては、浮動小数点形式のデータが使われる。浮動小数点形式のデータには通常、単精度、倍精度、拡張精度と称されるデータ形式があるがいずれも指数部と仮数部から成っている。指数部は 2^k 増し等の表現が用いられ、"0"が最小値を示す様になっている。

第1図に単精度データの形式の1例を示す。本例では単精度データは、仮数の符号部(S)1ビット、指数部(E)7ビット、仮数部($F_0 \sim F_8$)24ビットの合計32ビットで構成されている。仮数部24ビットを第1図の様に4ビットずつの単位で区切りそれぞれ、 $F_0, F_1, F_2, F_3, F_4, F_5$ とすると、表現される数値データは次の様になる。

$$(-1)^S \cdot 16^{E-64} \cdot \left(\frac{1}{16} \cdot F_0 + \frac{1}{16^2} \cdot F_1 + \frac{1}{16^3} \cdot F_2 + \right.$$

$$\left. \frac{1}{16^4} \cdot F_3 + \frac{1}{16^5} \cdot F_4 + \frac{1}{16^6} \cdot F_5 \right)$$

この様な浮動小数点形式のデータをメモリから読み出して処理を行う訳であるが、通常、 F_0

に相当する仮数の最上位部は、ゼロでない様に併合わせが行なわれ、これを正規化(Normalize)と称し、正規化されているデータを正規化データ(Normalized Data)と言う。

浮動小数点データが処理されるとき、通常データは正規化されている必要がある。第2図に示す様な方法でメモリから読み出されるデータに対し正規化がなされているか否かの検証を行ない、正規化されていないものについては正規化、すなわちF.部分がゼロでなくなるまで4ビットずつ左シフトを行って、その分だけ指数の値を減ずる方法を用いている。

一方、メモリ内に用意されるデータは通常正規化されたものである。チェックの過程1サイクルを介してメモリからのロードが終る様になっている。このために、チェックのサイクル分だけ遅くなり、高性能化がはかれぬ欠点があった。

〔発明の目的〕

この様に構成すると、仮数部が正規化されているか否かのチェックを省略出来、この分だけ処理の高速化がはかれる。

〔発明の実施例〕

以下、第3図を使用して本発明の実施例につき詳細に述べる。

第3図は本発明の実施例を示すブロック図である。図において10はデータレジスタ(RDR)である。データレジスタ10は、メモリ(図示せず)から得られる浮動小数点データを保持する。11は仮数部の最上位4ビット、すなわち、上記データレジスタ10に格納された4ビット部分RDR 8-11、のゼロチェックを行うゼロ検出回路である。12はアンド回路である。アンド回路12は上記ゼロ検出回路11の出力とデータレジスタ10の内容をとり込むための制御信号(READ RDR)と論理積をとってゼロ検出回路11からの出力がゼロでないことを示しているときにゲート回路13にデータレジスタ10の内容を出力する様にコントロールする。ゲ-

本発明は上記点に鑑みてなされたものであり、浮動小数点データがメモリから取出されて処理のために取込まれるとき、タイミングに余裕のとれる「データの使用期」に非正規化データであるか否かを調べ、非正規化データであるとき「絶対ゼロ」に強制する構成することにより処理の高速化をはかった浮動小数点データ処理装置を提供することを目的とする。

〔発明の概要〕

本発明は、浮動小数点データがメモリから取出されて取込まれるとき、非正規化データは指数、仮数共にゼロの数値(これを絶対ゼロと称する)に強制するところに特徴がある。このため、浮動小数点データ処理装置に、データレジスタに保持された内容のうち、仮数部の最上位4ビットあるいは最上位ビットのチェックを行ないデータが非正規化データであるか否かを検証する手段と、該検証手段が正規化データであることを示しているときデータレジスタの出力を全て"0"に強制する手段を付加した。

ト回路13はアンド回路12が論理"1"のときデータレジスタ10の内容をそのまま出力し"0"のとき論理"0"を出力する様になっている。

14はセレクト回路である。セレクト回路14は、ゲート回路13の出力又は後述する算術演算ユニット16の出力をレジスタファイル15にとり込むためのものである。

レジスタファイル15は2ポートの読み出しが可能となっているRAM(Random Access Memory)で構成される。ここに浮動小数点レジスタ(FR₀~FR₇)や作業用レジスタ(WR₀~WR₇)が割り当てられている。算術演算ユニット(ALU16)は浮動小数点データの演算を行う。尚、17~20は、演算制御のために使用される各種フラグであり、フリップフロップで構成される。17は仮数部がゼロであることを示し、18は符号部、すなわち、ALU16の0ビット目の出力を保持し、19は仮数部の演算で生じたキャリーアウトを保持する。図ではそれぞれmZ, SN, CM, CEで示してある。

以下、本発明の動作につき詳述する。本発明は浮動小数点データがメモリから読み出されて取り込まれる時に、非正規化データは指数、仮数が共にゼロの数値（これを絶対ゼロと称する）に強制するところに特徴がある。これは上述したとおりである。この際、することによって仮数部が正規化されているかどうかのチェックが省略できるので、この分だけ処理速度の向上につながる。

浮動小数点データがメモリに用意される場合、通常データは正規化されているので、本発明装置によればデータの正当性という点からも問題は無い。

第3図を参照して詳細に説明する。メモリから読み出されたデータはデータレジスタ10に保持される。ここに取り込まれたデータのうち、仮数部の最上位ビットがゼロ検出器11によってチェックされ、この部分がゼロであればゼロ検出器11からは論理"1"が出力され、ゼロでなければ論理"0"が出力される。アンド回路12

の出力が論理"1"のときには、ゲート回路13の出力はすべて論理"0"となる様になっておりデータが処理のために取り込まれるときに"絶対ゼロ"に強制される。

尚、本発明実施例では、指数部は16のべき乗表現（仮数部の上位4ビットが0のときを非正規化として扱う）を用いているが、このべき乗表現のデータ形式の場合にも同様に仮数部の最上位ビットを検証すれば全く同じことが実現できることは明らかである。

〔発明の効果〕

以上説明の如く本発明によれば、浮動小数点データがメモリから読み出されて処理のために取り込まれる時、タイミングに余裕のとれる「データの使用前」に非正規化であるか否かを調べ、非正規化のデータは「絶対ゼロ」に強制するので、内部のレジスタに取り込む時のチェック時間を省略することができ、従って、処理の高速化をはかることができる。

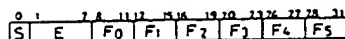
4. 図面の簡単な説明

第1図は浮動小数点データのデータ形式を示す図、第2図は浮動小数点データの正規化処理フローを示す図、第3図は本発明実施例を示すブロック図である。

10…データレジスタ、11…ゼロ検出器、13…ゲート回路、14…セレクト回路、15…レジスタファイル、16…算術演算ユニット、17～20…フラグ。

出願人代理人 弁理士 鈴 江 武 彦

第 1 図



第 2 図

